

## CONDUCTIVITY MODULATION TYPE MOSFET

Patent Number: JP63224260  
Publication date: 1988-09-19  
Inventor(s): ITO HIROYASU; others: 02  
Applicant(s):: NIPPON DENSO CO LTD  
Requested Patent:  JP63224260  
Application Number: JP19870057764 19870312  
Priority Number(s):  
IPC Classification: H01L29/78 ; H01L29/68  
EC Classification:  
Equivalents: JP2590863B2

---

### Abstract

---

**PURPOSE:** To reduce voltage drop and prevent latchup, by applying a longitudinal structure to a source region and a channel region.

**CONSTITUTION:** Two kinds of trenches are formed on the surface of a conductivity modulation type MOSFET which has a second conductivity type semiconductor layer 12 of low impurity concentration, a first conductivity type base layer 13 and a second conductivity type source layer 14 on a first conductivity type substrate 11. A gate electrode 18 is buried in one trench 15 via an insulator 17, and a source electrode 19 is buried in the other trench 16. The gate electrode 18, the gate insulator 17, a channel region 25 and the source electrode 19 are formed in the direction perpendicular to the surface. Therefore, a positive hole current by conductivity modulation flows linearly between the gate electrode 18 and the source electrode 19 formed in the direction perpendicular to the surface, so that the voltage drop can be reduced.

---

Data supplied from the esp@cenet database - I2





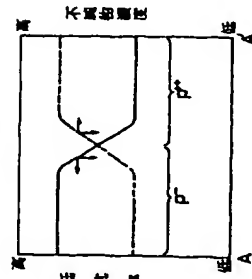
電流経路26)での電圧降下 $V_{DS}$ とソース領域(電子電流経路27)での電圧降下 $V_{DS}$ によりソースとドレーンに印加される有効電圧は両者の和( $=V_{DS}-V_{DS}$ )、即ち相殺された値となり、上記実施例のMOSFETよりも更にラッチアップ現象の発生を防止することができるとなる。

すなわち、この実施例では、全ソース層14上面全体にゲート絶縁膜17を形成した。そして、ソース層14内における電圧19の周回部には、ソース層14よりも低不純物濃度である低濃度 $n$ -層22が、ソース電極19及び低濃度 $n$ -層22が直列に接続された領域全体の抵抗が小さくなる。

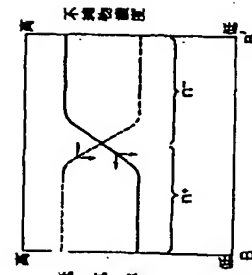
一方、ソース層13内におけるソース電極19の周回部には、ソース層13よりも高不純物濃度である超高濃度 $p$ -層21が形成されているため、ソース層13及び超高濃度 $p$ -層21が直列に接続された領域全体の抵抗が小さくなる。この結果、ソース層14及び低濃度 $n$ -層22が直列に接続された領域全体の抵抗の値と、前記ソース層13及び超高濃度 $p$ -層21が直列に接続された領域全体の抵抗の値とを近づけることができる。よって、ソース層14及び低濃度 $n$ -層22の電位と、ソース層13及び超高濃度 $p$ -層21の電位との電位差を小さくすることができ、その結果、ラッチアップ現象の発生を抑制することができ、

(ロ) 第5図に示すように、 $p$ -ソース層13の中に単結晶半導体28(例えば、 $\text{GaSi}$ 等)をエピタキシャル成長させた後に同導体28を埋め込む。そして、この導体28とソース電極19を接続させる。よって、 $n$ -ソース層14の直下の $p$ -ソース層13内の電圧降下を低減させることにより電圧降下 $V_{DS}$ を小さくし、ラッチアップの発生を防止することができ、

【第2図】



【第4図】



(ハ) 上記各実施例においてはソース電極19を $p$ -ソース層13より深く埋め込みその周回部には高不純物濃度 $p$ -層20を設けたが、ソース層16及びソース電極19の下端部を $p$ -ソース層13内までにして実施してもよい。この場合、コンタクト及び埋込のための高不純物濃度 $p$ -層20の形成が不要となる。

(ニ) 上記実施例では第1導電型 $p$ 型とし第2導電型を $n$ 型としたが逆に実施してもよい。

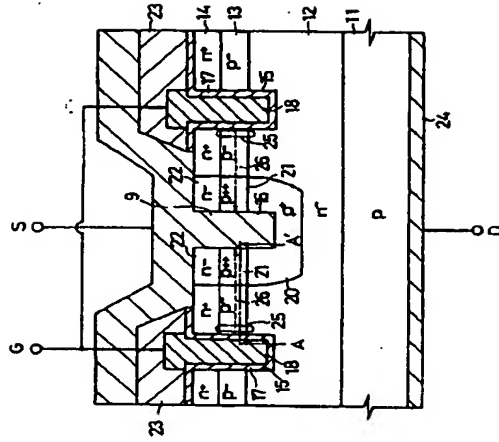
以上詳述したように、この発明はソース層および低濃度 $n$ -ソース領域が直列に接続された領域全体の抵抗の値と、ソース層および高濃度 $p$ -ソース領域が直列に接続された領域全体の抵抗の値とを近づけることができるため、ソース層および低濃度 $n$ -ソース領域の電位と、ソース層および高濃度 $p$ -ソース領域の電位との電位差を小さくすることができ、ラッチアップ現象の発生を抑制することができ、

【図面の簡単な説明】

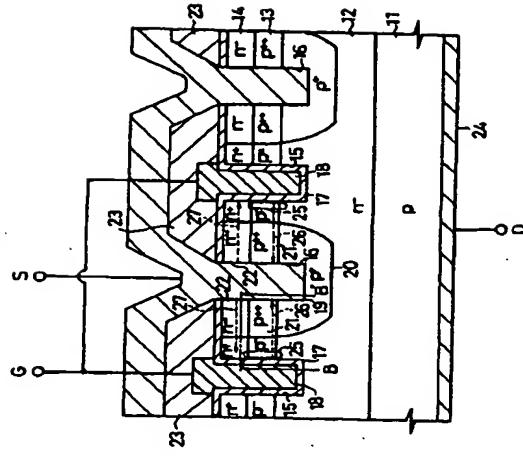
第1図はこの発明を具体化した半導体装置MOSFETの断面図、第2図は第1図における $A-A'$ 断面における不純物濃度及び抵抗率を示す図、第3図は別例の導電型MOSFETの断面図、第4図は第3図における $B-B'$ 断面における不純物濃度及び抵抗率を示す図、第5図は他の別例を示す半導体装置MOSFETの断面図、第6図は従来の半導体装置MOSFETの断面図である。

11は $p$ -ソース層、12は $n$ -半導体層、13は $p$ -ソース層、14は $n$ -ソース層、15はゲート層、16はソース層、17はゲート絶縁膜、18はゲート電極、19はソース電極、20は高不純物濃度 $p$ -層、21は超高濃度 $p$ -層、22は低濃度 $n$ -層、25はチャネル領域、26は単結晶半導体である。

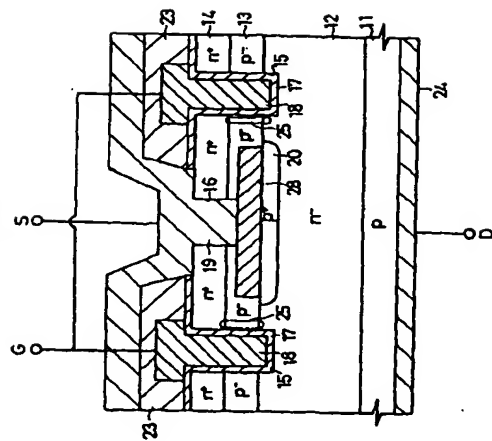
【第1図】



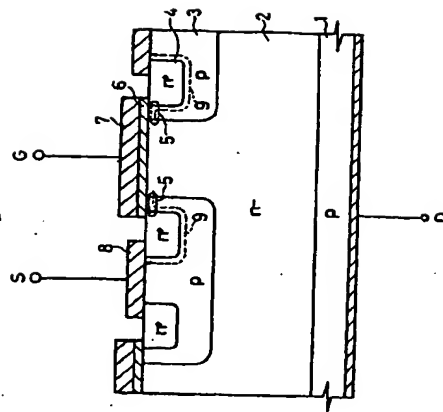
【第3図】



【第5図】



【第6図】



フロントページの続き

(56) 参考文献 特開 昭58-137254 (J.P., A)  
特開 昭57-72365 (J.P., A)  
特開 昭61-171162 (J.P., A)